

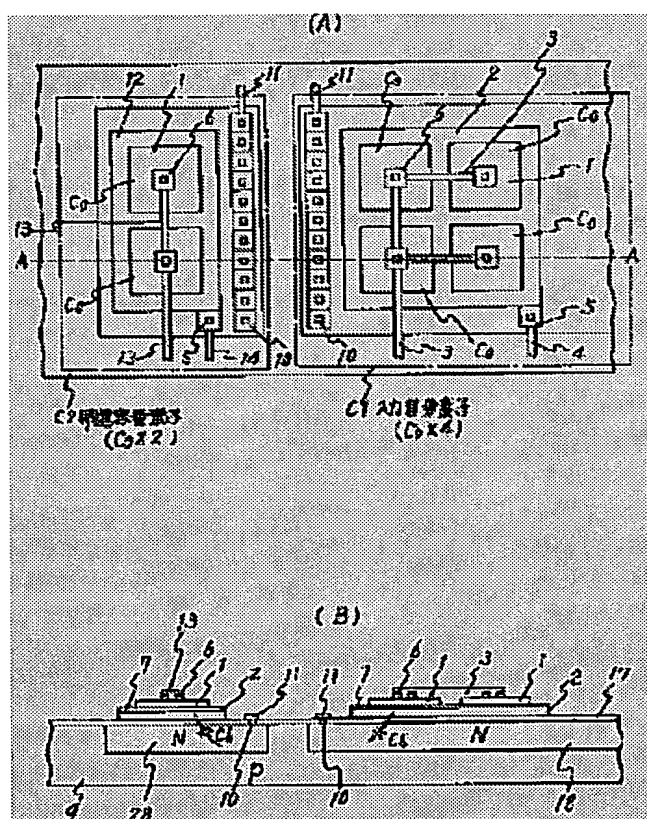
## SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

**Patent number:** JP5235266  
**Publication date:** 1993-09-10  
**Inventor:** INASHIGE YUUJI  
**Applicant:** NEC IC MICROCOMPUT SYST LTD  
**Classification:**  
**- International:** H01L27/04  
**- european:**  
**Application number:** JP19920036538 19920224  
**Priority number(s):**

## Abstract of JP5235266

**PURPOSE:** To prevent noise on the output side from diffracting to the input side through a well area which shields an capacity element from a substrate.

**CONSTITUTION:** An N-type well area 18 for shielding the bottom electrode 2 of an input capacity element C1 from a P-type semiconductor substrate 9 is separated from an N-type well area 28 which shields the bottom electrode 12 of a feedback capacity element C2 from the P-type semiconductor substrate 9. Thus, a system which allows noise to diffract to the output side through a parasitic capacity and parasitic resistance is eliminated and the noise characteristics are improved.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-235266

(43)公開日 平成5年(1993)9月10日

(51)IntCl<sup>3</sup>

H 0 1 L 27/04

識別記号

庁内整理番号

F I

技術表示箇所

C 8427-4M

H 8427-4M

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号 特願平4-36538

(22)出願日 平成4年(1992)2月24日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72)発明者 稲栄 勇二

神奈川県川崎市中原区小杉町一丁目403番  
53日本電気アイシーマイコンシステム株式  
会社内

(74)代理人 弁理士 京本 直樹 (外2名)

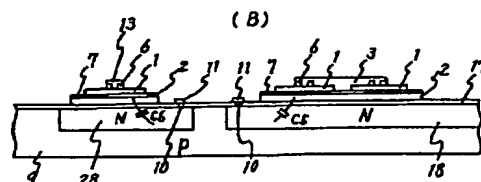
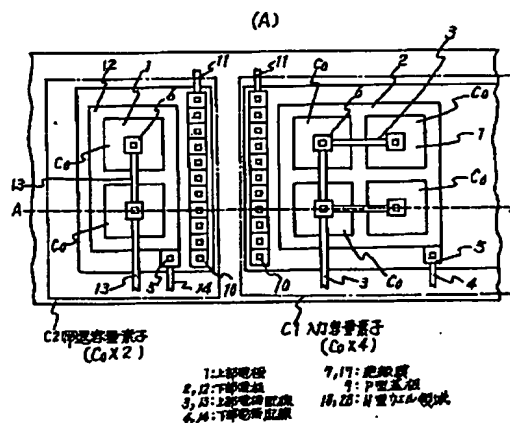
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】基板から容量素子をシールドしているウエル領域を通じて出力側のノイズが入力側にまわり込むことを防ぐ。

【構成】入力容量素子C1の下部電極2をP型半導体基板9からシールドするためのN型ウエル領域18と帰還容量素子C2の下部電極12をP型半導体基板9からシールドするためのN型ウエル領域28とを分離する。

【効果】寄生容量と寄生抵抗を通して出力側のノイズが入力側にまわり込む系をなくし、これによりノイズ特性が改善される。



1

## 【特許請求の範囲】

【請求項1】 複数の容量素子を含む機能ブロックを有する半導体集積回路装置において、前記機能ブロック内に共通の接続点をもつ第1および第2の容量素子が一導電型の半導体基板にたがいに分離された逆導電型の第1および第2のウェル領域上にそれぞれ形成されていることを特徴とする半導体集積回路装置。

【請求項2】 前記第1および第2の容量素子はそれぞれ単位容量素子を並列接続して構成されていることを特徴とする請求項1に記載の半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体集積回路装置に係わり、特にスイッチドキャパシタフィルタ（以後、SCF、という）、C-R型のA/D変換器、C-R型のD/A変換器、などの容量素子を含む半導体集積回路装置に関する。

## 【0002】

【従来の技術】 半導体集積回路装置はトランジスタ素子や容量素子の集合体である。又、それらを含む機能ブロックの集合体でもある。ここで、半導体集積回路装置の一例としてのSCFを説明する。

【0003】 図4の回路図に示されたSCFで使用される帰還容量素子C2と入力容量素子C1とが構成されている、従来の半導体集積回路装置の平面図と断面図を図3の(A)と(B)に示す。

【0004】 P型半導体基板9にN型ウェル領域8が形成され、このN型ウェル領域8の上面にシリコン酸化膜から成る絶縁膜17を介してP型のポリシリコン層2、12が容量素子の下部電極として形成され、その上にそれぞれ誘電体としての絶縁膜7を介して複数の単位上部電極1が形成されている。入力容量素子C1は取り出し部6で上部電極配線3によって接続された4個の単位上部電極1と下部電極2との重なり部分が容量となる。すなわち、単位上部電極1と下部電極2との重なり部分で構成される単位容量素子C。が4個並列に接続された容量素子である。同様に、帰還容量素子C2は、2個の単位上部電極1が上部電極配線13によって接続されているから、下部電極12との重なり部分で構成される単位容量素子C。が2個並列に接続された容量素子である。

【0005】 N型ウェル領域8は取り出し部10で接続されたウェル電極配線11により接地電位(0V)となっている。一方、入力容量素子C1の下部電極としてのポリシリコン層2は取り出し部5で接続された下部電極配線4によって入力信号端子に接続され(図4)、帰還容量素子C2の下部電極としてのポリシリコン層12は取り出し部5で接続された下部電極配線14によって出力信号端子に接続されている(図4)。又、図4に示す様に、入力容量素子C1および帰還容量素子C2の上部電極はその配線3、13によってそれぞれスイッチ、

2

すなわち半導体集積回路装置内に形成されたトランジスタによる半導体スイッチを通してAMPの一方の入力端子に接続されている。尚、図4において、白三角印(▽)は基準電圧端子を示している。

## 【0006】

【発明が解決しようとする課題】 上述した従来の半導体集積回路装置は図3(B)に示す様に、下部電極2および12とN型ウェル領域8との間の絶縁膜17を誘電体膜としたMOS容量C5およびC6が寄生容量としてそれぞれ形成される。したがって従来はこの寄生容量によるN型ウェル領域8からのノイズのまわり込みを防ぐために、N型ウェル領域8を低電圧電源(例えば、接地電位)に接続していた。しかしながら、寄生容量C5と寄生容量C6(例えば、下部電極の面積が500 $\mu\text{m}^2$ の場合、約0.02pF)とが同一のNウェル領域上に形成され、ウェル領域には抵抗R1が存在し、この抵抗R1(例えば、下部電極間の距離が10 $\mu\text{m}$ の場合、5k $\Omega$ )を通る系により、出力側からのノイズが入力側にまわり込んでしまい、ノイズ特性が悪くなるという欠点があった。

## 【0007】

【課題を解決するための手段】 本発明の特徴は、複数の容量素子を含む機能ブロックを有する半導体集積回路装置において、前記機能ブロック内に共通の接続点をもつ第1および第2の容量素子が一導電型の半導体基板にたがいに分離された逆導電型の第1および第2のウェル領域上にそれぞれ形成されている半導体集積回路装置にある。この第1および第2の容量素子はそれぞれ単位容量素子を並列接続して構成することができる。

## 【0008】

【実施例】 次に本発明について図面を参照して説明する。半導体集積回路装置の一例である図4の回路図に関する本発明の一実施例としての図1(A)、(B)は、SCFの入力容量素子C1と帰還容量素子C2とが構成されている半導体集積回路装置の平面図と断面図である。尚、図1(A)、(B)において図3(A)、(B)と同一もしくは類似の箇所は同じ符号で示している。

【0009】 P型半導体基板9に第1および第2のNウェル領域18、28がそれぞれ形成され、これらのN型ウェル領域18、28の上面にシリコン酸化膜から成る絶縁膜17を介してP型のポリシリコン層2、12が容量素子の下部電極として形成され、その上にそれぞれ誘電体としての絶縁膜7を介してポリシリコンからなる複数の単位上部電極1が形成されている。入力容量素子C1は取り出し部6で上部電極配線3によって接続された4個の単位上部電極1と下部電極2との重なり部分が容量となる。すなわち、単位上部電極1と下部電極2との重なり部分で構成される単位容量素子C。が4個並列に接続された容量素子である。同様に、帰還容量素子C2

3

は、2個の単位上部電極1が上部電極配線13によって接続されているから、下部電極12との重なり部分で構成される単位容量素子C。が2個並列に接続された容量素子である。

【0010】それぞれのN型ウエル領域18、28は、取り出し部10で接続されたウエル電極配線11により接地電位(0V)となっている。一方、入力容量素子C1の下部電極としてのポリシリコン層2は取り出し部5で接続された下部電極配線4によって入力信号端子に接続され(図4)、帰還容量素子C2の下部電極としてのポリシリコン層12は取り出し部5で接続された下部電極配線14によって出力信号端子に接続されている(図4)。又、図4に示す様に、入力容量素子C1および帰還容量素子C2の上部電極はその配線3、13によってそれぞれスイッチ、すなわち半導体集積回路装置内に形成されたトランジスタによる半導体スイッチを通してAMPの一方の入力端子に接続されている。図3と同様に、入力容量素子C1の下部電極2とN型ウエル領域18との間には寄生容量C5(例えば、下部電極の面積が $500\mu\text{m}^2$ の場合、約0.02pF)が形成され、帰還容量素子C2の下部電極12とN型ウエル領域28との間には寄生容量C6(例えば、下部電極の面積が $500\mu\text{m}^2$ の場合、約0.02pF)が形成される。

【0011】しかしながら本発明では、入力容量素子C1の下部電極2をP型半導体基板(サブ基板)9からシールドするためのN型ウエル領域18と帰還容量素子C2の下部電極12をP型半導体基板(サブ基板)9からシールドするためのN型ウエル領域28とは分離されている。このようにシールド用のN型ウエル領域をたがい

に分離することにより、寄生容量C5と寄生容量C6は同一のウエル領域上に存在しなくなり、これにより直接の寄生抵抗で接続されることがなく、出力側のノイズが入力側へまわり込まなくなり、ノイズ特性が良くなる。

【0012】以上は例としてSCFについて説明したが、これに限られることはなく、C-R型のA/D変換器、C-R型のD/A変換器などでも、同様の効果が得られる。

【0013】図2(A)、(B)は、SCFの入力容量素子C1と帰還容量素子C2とが構成されている半導体集積回路装置の本発明の他の実施例を示す平面図と断面

図である。尚、図2(A)、(B)において図1

(A)、(B)と同一もしくは類似の箇所は同じ符号で

4

示している。入力容量素子C1下のNウエル領域18と帰還容量素子C2下のNウエル領域28との間のP型半導体基板(サブ基板)9の部分に基板(サブ基板)電極取り出し部15を設け、ここに接続する基板電極配線16を接地端子に接続する。この場合、図2(B)に示す様に、寄生容量C7、C8が生じてもウエル領域間の基板部分を電極取り出し部15により低インピーダンスの電源に接続しているため、寄生容量C7、C8を通じて出力のノイズが入力へまわり込まなくなり、図1の実施例よりさらにノイズ特性が改善できる。

【0014】

【発明の効果】以上説明したように本発明は、入力容量素子C1の下部電極2をP型半導体基板9からシールドするためのN型ウエル領域18と帰還容量素子C2の下部電極12をP型半導体基板9からシールドするためのN型ウエル領域28とを分離することにより、図4の回路図に示す寄生容量C5、C6および寄生抵抗R1を通る系をなくすことが出来る。従って、出力ノイズが入力にまわり込まなくなり、ノイズ特性が改善される。

【図面の簡単な説明】

【図1】本発明の一実施例を示す図であり、(A)は平面図、(B)は(A)のA-A部の断面図である。

【図2】本発明の他の実施例を示す図であり、(A)は平面図、(B)は(A)のA-A部の断面図である。

【図3】従来技術を示す図であり、(A)は平面図、(B)は(A)のA-A部の断面図である。

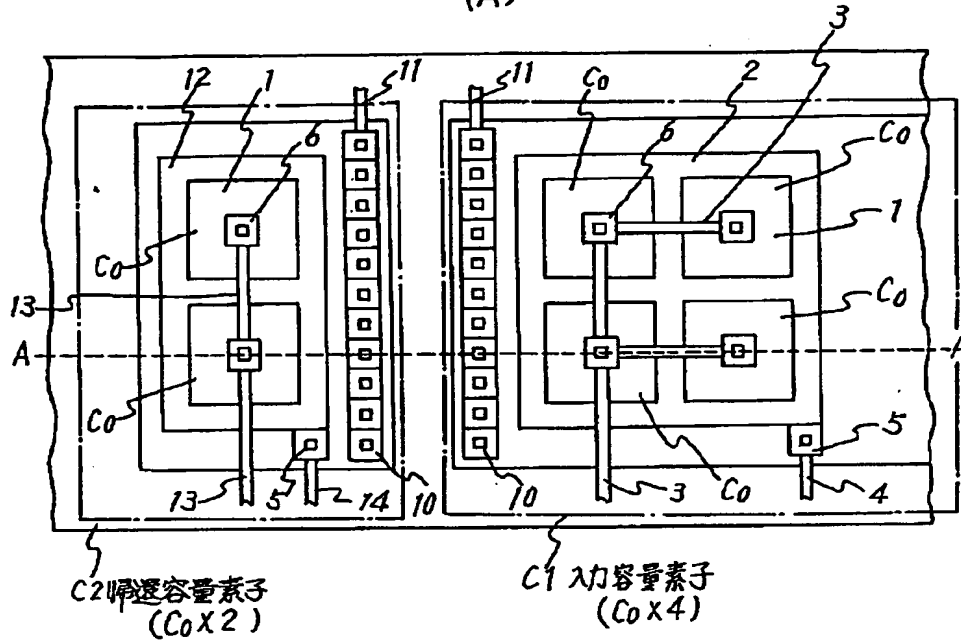
【図4】SCFの回路図である。

【符号の説明】

- 1 上部電極
- 2, 12 下部電極
- 3, 13 上部電極の配線
- 4, 14 下部電極の配線
- 5 下部電極取り出し部
- 6 上部電極取り出し部
- 7 容量素子の誘電体膜としての絶縁膜
- 8, 18, 28 N型ウエル領域
- 9 P型半導体基板(サブ基板)
- 10 ウエル電極取り出し部
- 11 ウエル電極配線
- 15 基板電極取り出し部
- 16 基板電極配線
- 17 絶縁膜

【図1】

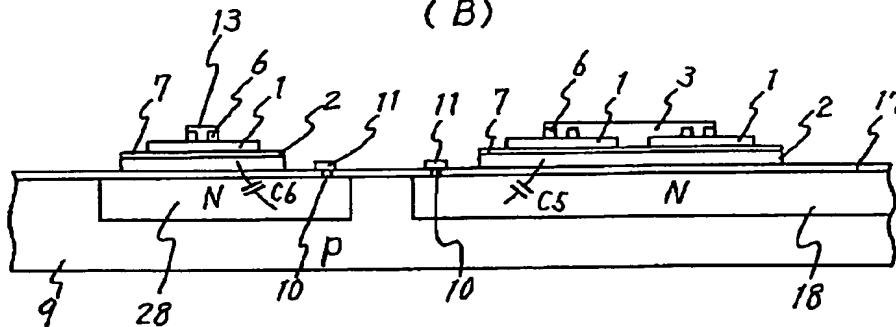
(A)



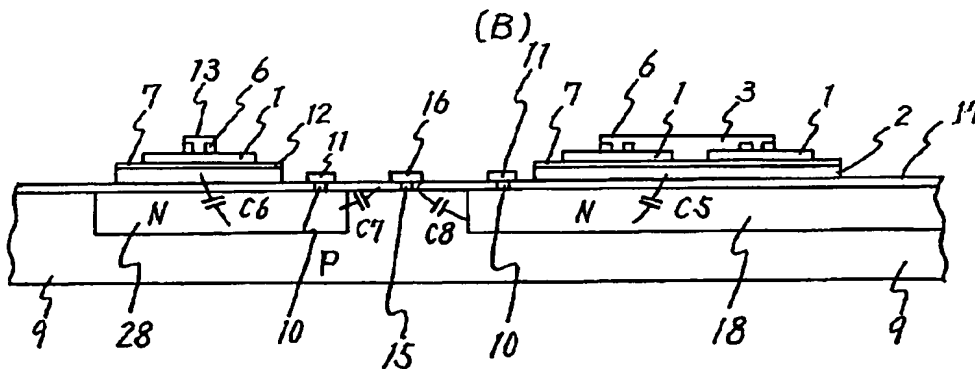
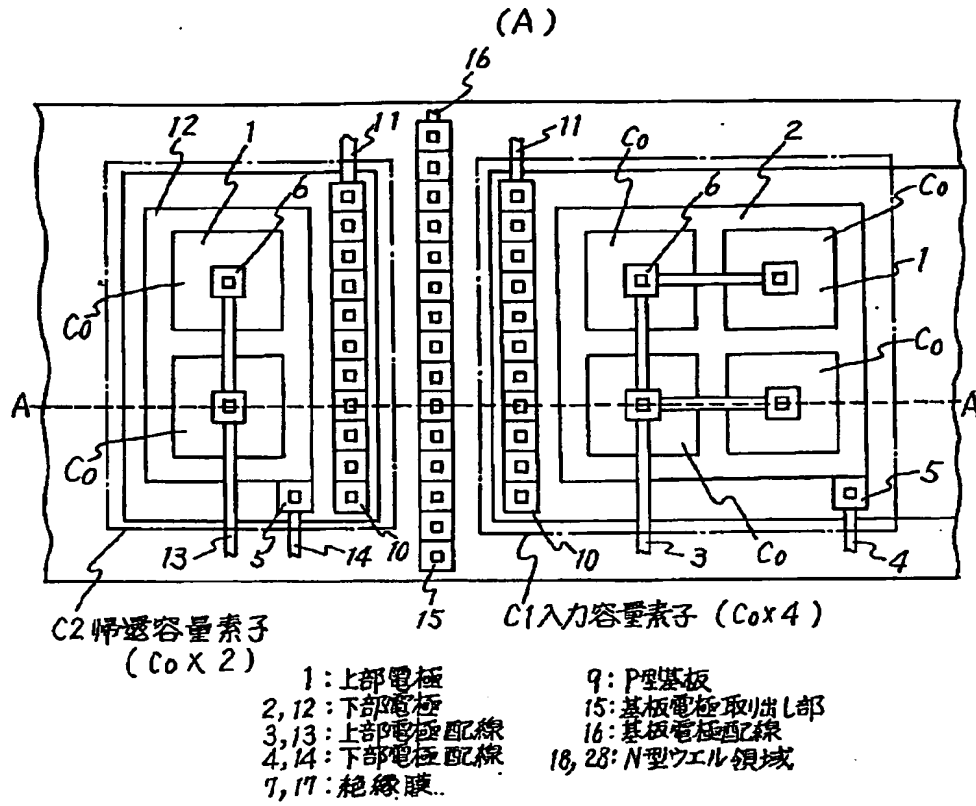
1: 上部電極  
2, 12: 下部電極  
3, 13: 上部電極配線  
4, 14: 下部電極配線

7, 17: 絶縁膜  
9: P型基板  
18, 28: N型ウェル領域

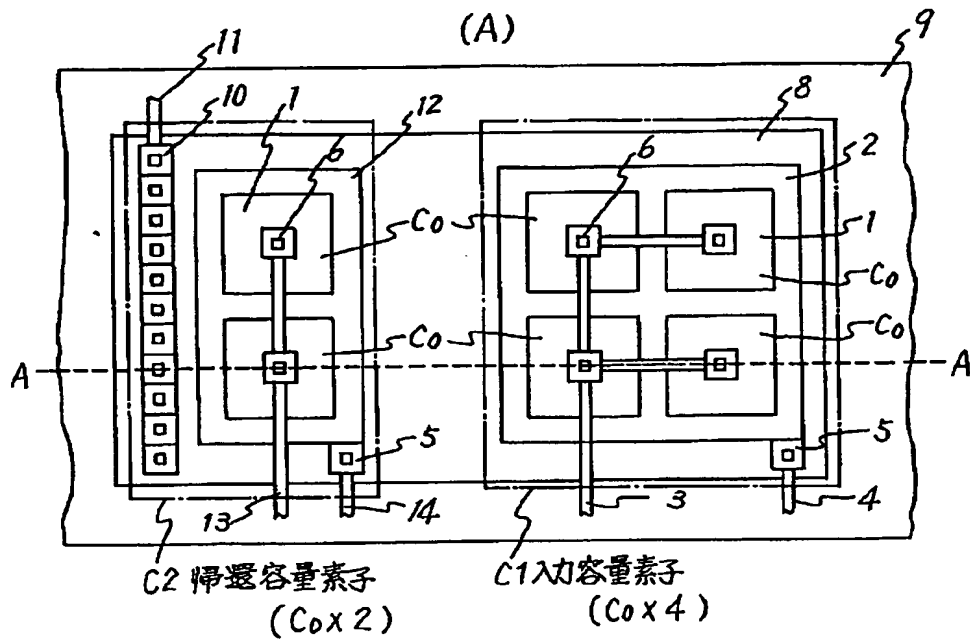
(B)



【図2】

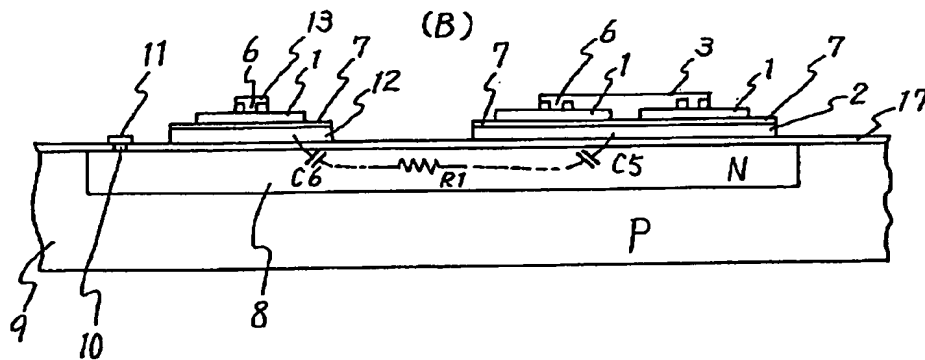


【図3】



1: 上部電極  
2, 12: 下部電極  
3, 13: 上部電極配線  
4, 14: 下部電極配線  
7, 17: 絶縁膜

8: N型ウェル領域  
9: P型基板



【図4】

